

文章编号:1007-2780(2011)06-0768-06

嵌入式邻域图像并行处理机的液晶显示系统设计

吉倩倩¹, 苏光大¹, 向守兵^{1,2}

(1. 清华大学 电子工程系, 北京 100084, E-mail: jqqwts@mail.ustc.edu.cn;
2. 四川工程职业技术学院 电气信息工程系, 四川 德阳 618000)

摘 要: 介绍了嵌入式邻域图像并行处理机(Neighborhood Image Parallel Computer, NIPC-3e)的液晶显示系统设计。该系统可以显示实景图像或者是经过邻域图像并行处理机处理后的结果图像。文章给出了一种基于 FPGA、SRAM、CPLD 和 SDRAM 的液晶显示控制设计方案, 详细介绍了 CPLD 与 NIPC-3e 的接口设计、基于 CPLD 的 LCD 时序驱动设计和基于 CPLD 的 SDRAM 时序控制逻辑设计。该系统已成功地应用在 NIPC-3e 上, 可以实现人脸检测和手势识别等功能。

关 键 词: 邻域图像并行处理机; CPLD; SDRAM; 液晶显示

中图分类号: TN79; TN27 **文献标识码:** A **DOI:** 10.3788/YJYXS20112606.0768

Design of LCD Display System of Embedded Neighborhood Image Parallel Computer

JI Qain-qian¹, SU Guang-da¹, XIANG Shou-bing^{1,2}

(1. Electronic Engineering Department of Tsinghua University, Beijing 100084, China, E-mail: jqqwts@mail.ustc.edu.cn;
2. Department of Electrical Engineering and Information, Sichuan Engineering Technical College, Deyang 618000, China)

Abstract: A LCD display system of the embedded Neighborhood Image Parallel Computer (NIPC-3e) is presented in this paper. This system can display either original or images which have been processed by the Neighborhood Image Parallel Computer. A LCD display controller based on FPGA, SRAM, CPLD and SDRAM is proposed. This paper further introduced the detail design of the three major components of this display controller: the interface between CPLD and NIPC-3e, the timing drive of LCD based on CPLD and the timing control logic of SDRAM based on CPLD. This display system has been successfully implemented and applied to NIPC-3e based applications including face detection and gesture recognition.

Key words: neighborbord image parallel computer; CPLD; SDRAM; LCD display

1 引 言

邻域图像并行处理机是一种以邻域图像帧存提供邻域图像数据,以邻域图像处理器进行邻域图像处理且包含原始图像输入的图像并行处理机,其本质是邻域数据的并行处理^[1]。2008 年清

华大学研制的 NIPC-3 邻域图像并行处理机通过了教育部组织的专家鉴定,在系统邻域核尺寸和邻域图像处理的速度上达到了国际领先水平。

本文设计了 NIPC-3 邻域图像并行处理机的图像显示系统,给出了一种基于 FPGA、SRAM、CPLD 和 SDRAM 的液晶显示控制设计方案,详

收稿日期: 2010-11-10; 修订日期: 2011-08-01

基金项目: 国家重点基础研究发展计划(973)项目(No. 2007CB310600)

作者简介: 吉倩倩(1986—),女,安徽蚌埠人,硕士研究生,主要研究方向是嵌入式邻域图像并行处理机的应用。

细介绍了 CPLD 与 NIPC-3e 的接口设计、基于 CPLD 的 LCD 时序驱动设计和基于 CPLD 的 SDRAM 时序控制逻辑设计。

2 系统总体设计

嵌入式邻域图像并行处理机系统的开发设计可以使 NIPC-3 邻域图像并行处理机在图像处理方面的高速性得到广泛的应用。嵌入式邻域图像并行处理机的系统框架如图 1 所示, 主要由视频采集、LCD 显示、邻域处理器、DSP 处理器和外围网络接口等部分构成, 大体上又可分为图像处理和图像显示系统。在图像处理系统中, NIPC-3e 沿用了 NIPC-3 的主体框架, 只是将与计算机通信的 PCI 接口变成了网络接口。图像显示系统的功能是将视频采集或者经过邻域处理器处理后的图像直观和及时地显示出来。

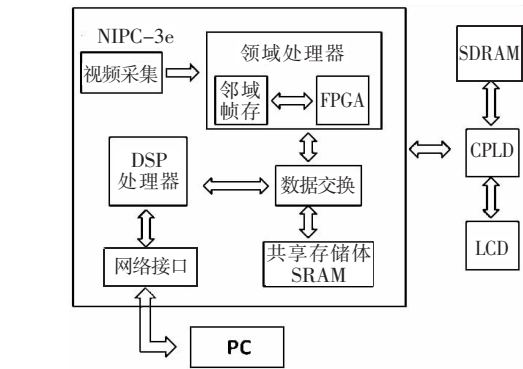


图 1 嵌入式邻域图像并行处理机系统框图
Fig. 1 System block of embedded neighborhood image parallel computer

LCD 显示系统显示图像数据的流程可以简单描述如下: 视频采集或者经过邻域处理器处理后的图像数据存储在共享存储体 SRAM 上, 当需要显示时, SRAM 上的图像数据经 FPGA、CPLD 转移存储到 SDRAM 上, 显示时读取 SDRAM 中的图像数据, 经过 CPLD 控制显示在液晶屏上。因为共享存储体 SRAM 在图像处理过程中会被 DSP 和 FPGA 频繁访问, 而图像显示只需要显示处理结果, 所以将图像显示与图像处理的存储体分开, 可以保证 DSP、FPGA 访问共享存储体的优先权, 即 LCD 显示时不占用邻域图像并行处理机上共享存储体的读写端口, 图像显示与处理可以同时进行, 根据选择显示原始图像或者是处理

后的结果图像。
在 LCD 显示系统中, 液晶屏显示模块采用的是 TOSHIBA 公司的 TFT-LCD(LTM08C351)。控制模块是以 Altera 公司的 MAX II 系列的 CPLD(EPM570T144)为核心部件, 以 64 MB 容量的 SDRAM 作为显示缓存存储器, 设计成 CPLD+SDRAM 的 LCD 显示控制器, 控制 LCD 的显示, 作为嵌入式邻域图像并行处理机的一部分, 显示需要显示的图像。

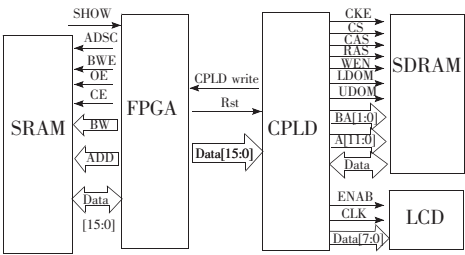


图 2 LCD 液晶显示系统的硬件接口图
Fig. 2 Hardware interface of LCD display system

LCD 液晶显示系统的硬件接口如图 2 所示。当 DSP 给 FPGA 显示指令 show 后, FPGA 首先对 CPLD 进行复位, 然后结合 CPLD 发出的数据请求信号 CPLD_write 产生相应地址, 从共享存储体 SRAM 中读取图像数据传到 CPLD。CPLD 从 FPGA 得到图像数据写入 SDRAM, 写完一帧图像后开始显示, 当需要显示另外一幅图像时 DSP 再次给信号 show, 重复过程。

3 图像数据传输控制

整个系统中图像数据的传输主要分为 3 个部分: 共享 SRAM 通过 NIPC-3e 硬件板上的 FPGA 与 CPLD 之间的数据传输、CPLD 与 SDRAM 之间的数据读写传输、CPLD 为 LCD 显示器提供图像数据的传输。下面将分别介绍 3 个部分的控制设计。

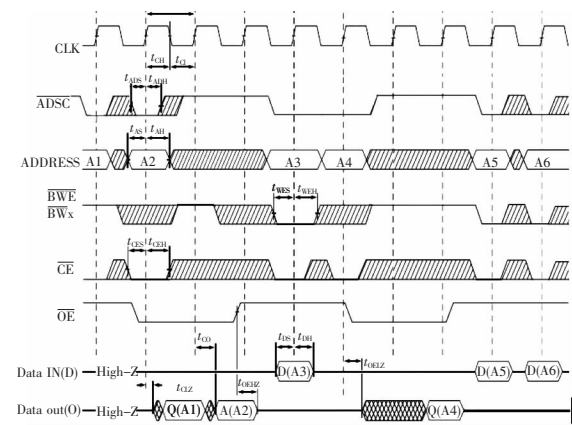
3.1 CPLD、FPGA 与 SRAM

在硬件结构上, CPLD 与 NIPC-3e 硬件板上的 FPGA 有 24 根有效连线, 与共享 SRAM 没有连接, 所以 CPLD 同 NIPC-3e 中的共享 SRAM 进行数据传输时需要通过 FPGA 进行中间转换, 即 FPGA 把图像数据从 SRAM 读取后传输给 CPLD。

NIPC-3e 硬件板上采用的是 Altera 公司的

Cyclone II 系列 EP2C70F896C8 型号的 FPGA, 该芯片具有低成本、低功耗的优点,同时具有丰富的逻辑和 IO 资源,可以实现复杂的图像处理算法。SRAM 芯片采用的是一款 16 bit 位宽、2 MB 容量的 SRAM^[2]。

FPGA 与 SRAM 之间的数据传输控制主要是对 SRAM 的读写控制。当不使用 Burst 模式时,SRAM 主要的读写控制信号为 CE、OE、BWE、BW 和 ADSC。SRAM 访问的时序图如图 3 所示。



包含 4 个 bank, 每个 bank 包含 1M 个存储单元, 每个存储单元含有 16 bit 的数据, 运行的最高时钟是 166 MHz。在本系统中, SDRAM 的工作时钟设定为系统时钟 50 MHz, 操作模式为突发读写, 突发长度 BL 为 4, 突发传输方式为顺序传输, CAS 潜伏期 CL 为 3, 写入数据时不考虑刷新操作, 采用 WRITE-Without Auto Precharge 模式, 写完一行后进行一次预充电操作; 读取数据时, 采用 READ-With Auto Precharge 模式, 依据 LCD 控制模块的信号进行读取和集中刷新操作^[4]。

SDRAM 的读写控制是一个复杂的状态机, 依据一系列的指令进行状态的改变, 完成初始化、预充电、刷新、写操作、读操作。这些操作对应着 CKE、CS、RAS、CAS、WEN、LDQM、UDQM 信号的高低电平^[5]。

图 5 所示为 CPLD 对 SDRAM 读写控制的状态机设计。可以看出对 SDRAM 的读写操作可以分为以下几个过程:

①SDRAM 初始化: 上电后等待 200 μ s, 对所有 BANK 进行预充电, 进行 8 个周期的刷新操作, 设置模式寄存器。

②写数据: 写命令有效时进行写操作, 同时屏蔽读命令和刷新命令。向 FPGA 发出数据请求信号 CPLD_write。在行有效时给出行地址, 在列有效时给出列地址。写完一行后进行一次预充电操作, 写完一帧图像后进行一次刷新操作。

③读取数据: 写操作完成之后, 进入空闲状态, 这时的读命令和刷新命令不被屏蔽。上文中提到, SDRAM 的读命令依据的是 LCD 控制模块的 LCD_need 信号, 结合 LCD_V_counter[9:0]

和 LCD_H_counter[5:0]信号在行列有效时给出正确的行列地址, 等待 3 个周期后 CL 为 3 就可以得到相应数据。读取数据时采用的是自动预充电模式, 在读取完 4 位数据后 BL 为 4, 自动进行一次预充电操作。读取的 4 $\times$ 16 bit 的数据将合并成 64 bit 数据, 一同赋予 LCD 控制模块用于显示。

④自动刷新: SDRAM 需要不断进行刷新才能保留住数据, 因此刷新是读写时序控制中重要的操作之一。刷新有自动刷新和自刷新两种方式, 本文采用自动刷新方式。刷新命令一次对一行有效, 每一行刷新的循环周期是 64 ms。由于 SDRAM 内部有一个自动的行地址生成器, 故只需要在 64 ms 内给出足够的刷新命令即可。在写入数据时, 持续时间较短, 为了简化图像数据传输控制时序, 不考虑刷新操作。在数据读取时, 由 LCD 控制模块的 LCD_refresh 信号控制着 SDRAM 的刷新命令, 在液晶屏显示无效区时不需要从 SDRAM 中读取数据, 这时进行集中刷新, 可以满足 SDRAM 每一行 64 ms 刷新一次的要求。

需要补充说明的是, 由于对 SDRAM 的不同操作之间需要一定的时间间隔, 故在设计 SDRAM 读写状态机时加了一些状态, 如 t_wr_st、t_rp_st、t_rcd_read_st、t_rcd_write_st 等状态用于控制操作时间间隔。

4 系统仿真与测试

利用硬件描述语言 Verilog 可编程设计 FPGA 和 CPLD^[6-7], 用于控制 SRAM 的读写、SDRAM 的读写和 LCD 显示器, 完成了系统的整体设计、仿真和测试。图 6 显示了使用 ModelSim 软件仿真的波形, 可以看出一些关键信号的时序波形。如图 6(a) 所示, LCD_need 信号周期为 8 个时钟。SDRAM 读取地址依据 LCD_V_counter[9:0]和 LCD_H_counter[5:0]与行列计数器 H_counter 和 V_counter 相关。图 6(b) 显示了 SDRAM 写入数据时的时序仿真, 每 4 个时钟周期给出一个列地址, 连续写完一行后进行一次预充电操作。图 6(c) 显示了 SDRAM 读出数据时的时序仿真。采用自动预充电模式, 在列有效时 sd_a[10]=1。LCD_need 信号为高电平时进入读状态, 读出 4 $\times$ 16 bit 数据后进入空闲状态, 等待新的指令。

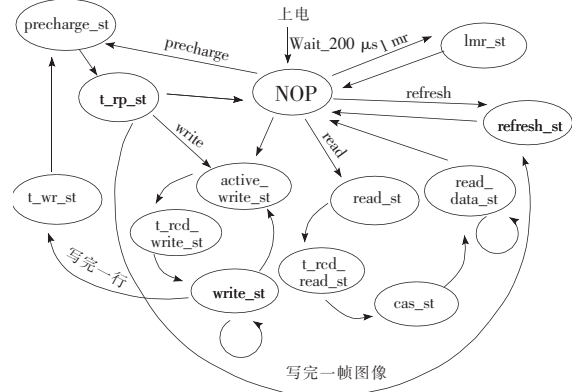


图 5 SDRAM 读写状态机

Fig. 5 Read and write state machine of SDRAM

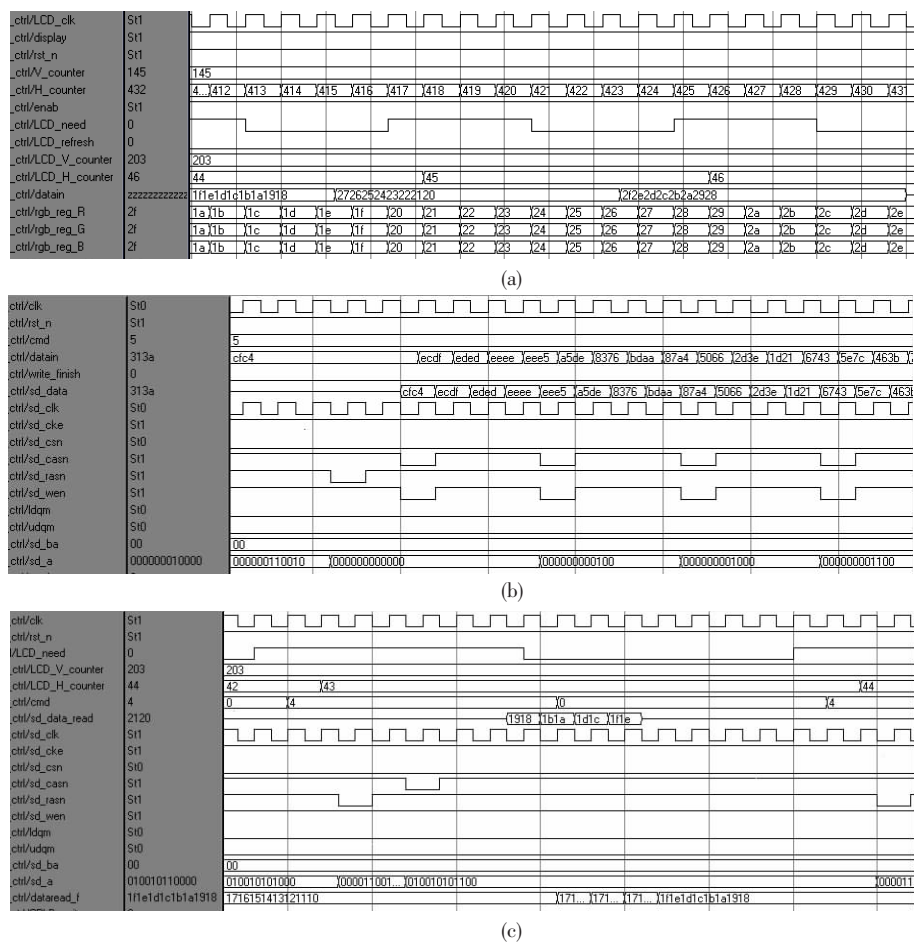


图 6 ModelSim 仿真波形。(a)LCD 控制;(b)SDRAM 写操作;(c)SDRAM 读操作。

Fig. 6 Simulation waveform using ModelSim. (a) LCD control; (b) Write operation of SDRAM; (c) Read operation of SDRAM.



图 7 液晶显示实景图

Fig. 7 Original image on LCD display

参 考 文 献:

[1] 苏光大. 邻域图像处理机中的新型邻域功能流水线机构[J]. 电子学报, 2000, 28(8): 120-123.

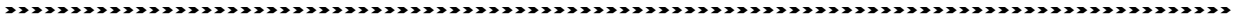
[2] 陈博亚. 大邻域图像处理系统的研制 [D]. 北京: 清华大学电子工程系, 2006.

所有代码使用 Quartus II^[8] 编译后, 下载到 FPGA 和 CPLD 上在硬件上测试成功, 可以准确地显示图像, 如图 7 所示。

5 结 论

设计了嵌入式邻域图像并行处理机的液晶显示系统。该系统可以很好地实时显示实际场景图像和邻域图像并行处理机的处理结果图像, 现已在嵌入式邻域图像并行处理机的一些应用中发挥作用, 如人脸检测和手势识别。未来将把目标跟踪、行人检测等应用在这套系统上。

[3] TOSHIBA. LTM08C351 datasheet[EB/OL]. [2003-11-27]. <http://www.semicon.toshiba.co.jp/eng>.
[4] MICRON. MT48LC4M16A2 datasheet[EB/OL]. [2003-01-03]. <http://www.micron.com>.
[5] 孙睿. 基于 SDRAM 基本结构、操作及相关时序参数的研究[J]. 中国集成电路, 2010, (2): 56-60.
[6] Altera. Mobile SDRAM interface using MAX II CPLDs[EB/OL]. [2007-12-10]. <http://www.altera.com>.
[7] Samir Palnitber. Verilog HDL 数字设计与综合[M]. 第二版. 夏宇闻, 胡燕祥, 习岚松, 等译. 北京: 电子工业出版社, 2004.
[8] Samir Palnitkar. Verilog HDL 数字设计与综合[M]. 夏宇闻, 译. 北京: 电子工业出版社, 2004.



科技参考文献著录的规则

根据中华人民共和国国家标准“文后参考文献著录规则”(GB/T7714-2005),《液晶与显示》编辑部希望广大作者在向本刊投稿时注意参考文献的著录。

1. 文后参考文献书写格式
期刊:[序号]作者. 文献题名[文献类型标志]. 连续出版物题名:其他题名信息, 年份, 卷号(期号):起止页码[引用日期]. 获取和访问路径.
例:[1]凌志华. STN-LCD 技术的发展[J]. 液晶与显示, 2002, 17(4): 233-242.
例:[2]李晓东, 张庆红, 叶瑾琳. 气候学研究的若干理论问题[J]. 北京大学学报: 自然科学版, 1999, 35(1): 101-106.
例:[3]邵喜斌, 王丽娟, 李梅. a-Si: H TFT 亚阈值区 SPICE 模型的研究[J/OL]. 液晶与显示, 2005, 20(4): 267-272. [2005-10-18]. http://www.wanfangdata.com.cn/src/szhqk/wf_szhqk_browser.Asp.
专著:[序号]作者. 题名[文献类型标志]. 析出文献其他责任者//专著主要责任者. 专著题名:其他题名信息. 版本项(第 1 版略). 出版地: 出版者, 出版年:析出文献的页码[引用日期]. 获取和访问路径.
例:[4]周其凤, 王新久. 液晶高分子[M]. 北京: 科学出版社, 1994: 27-38.
例:[5]日本学术振兴会第 142 委员会. 液晶器件手册[M]. 黄锡珉, 黄辉光, 李之熔, 译. 北京: 航空工业出版社, 1992.
例:[6]母国光. 白光光学信息处理及彩色摄影术[M]//陈星旦. 光学与光学工程, 北京: 科学出版社, 2005: 62-72.
例:[7]赵耀东. 新时代的工业工程师[M/OL]. 台北: 天下文化出版社, 1998[1998-09-26]. <http://www.ie.nthu.edu.tw/inf/ie.newie.htm>(Big5).
例:[8]陈兵, 徐寿颐. 新型烷基环己基炔类液晶的合成与性质[C]//2002 年中国平板显示会议论文集. 深圳: 深圳天马微电子股份有限公司, 2002: 167-168.
例:[9]闫石. 液晶光控取向膜材料的研究[D]. 长春: 中国科学院长春光学精密机械与物理研究所, 2001.
例:[10]全国文献工作标准化技术委员会第七分委员会. GB/T5795-1986 中国标准书号[S]. 北京: 中国标准出版社, 1986.
专利:[序号]专利所有者. 专利题名: 专利国别, 专利号[文献类型标志]. 公告日期或公开日期[引用日期]. 获取和访问路径.
例:[11]吕永积, 王群伟, 邵佑军, 等. 平板真空摄像器件: 中国, ZL95241185. 7[P]. 1997-08-09.

(下转 P794)